

名称	文档类别
国微 1553B 系列产品应用指南	公开文档
版本 version	Total 32 pages 共 32 页
2.1	

## 国微 1553B 系列产品应用指南



深圳市国微电子有限公司

## 声明

国微电子作为最早从事特种集成电路设计企业之一，一直致力于为#WQ##ZB#提供核心保障。为了使广大用户能够快速、准确和高效地使用本公司产品进行研发设计，国微电子组织编写了该应用指南，作为用户的系统设计参考。

虽然国微电子根据多年行业经验，考虑了各种应用场景编写了该应用指南，但是毕竟公司内部实验手段存在局限性，应用指南本身可能也有局限。首先，对于各类不同系统的复杂应用，公司没有详尽的系统级测试条件和完整的系统级分析手段，只能根据公司现有条件下的测试分析结果和对芯片的特性了解提出应用建议；其次，产品实际应用效果也受系统架构、电气特性和电磁环境等因素影响，即使相同的设计也可能出现不同的结果。

因此，本应用指南推荐的电路设计、软件代码等可作为用户设计的重要参考。但用户在实际研发、设计产品时，还应根据自身的实际应用需求、产品实际测试中出现的问题和实际实验结果进行综合考量，以满足产品实际工作需要。另外，国微电子也会根据实际情况及时更新该应用指南，敬请留意最新版本。

## 修订记录

日期	修订版本	描述	作者
2020.05	V1.0	初稿	王川
2021.03.15	V1.1	第1.2章：增加产品列表	王川
2023.11.28	V2.0	第2.3.6章：新增SM64863GC产品典型应用电路； 第2.3.7章：新增SM2130产品典型应用电路；	胡小国
2024.6.26	V2.1	第2.3.6章：内容表述及变压器图片有更新； 第2.3.7章：内容表述有更新；	胡小国

## 目录

1 前言 .....	5
1.1 1553B 总线简介 .....	5
1.2 1553B 产品介绍 .....	5
2 硬件设计说明 .....	7
2.1 硬件接口概述 .....	7
2.2 接口模式说明 .....	7
2.2.1 Transparent 模式和 Buffer 模式 .....	7
2.2.2 8 位 Buffer 模式与 16 位 Buffer 模式 .....	8
2.2.3 Zero_Wait 模式与 Non_Zero_Wait 模式 .....	8
2.3 硬件典型应用 .....	9
2.3.1 SM61580/61581/65170 典型应用 .....	9
2.3.2 SM61588G3 典型应用 .....	12
2.3.3 SM61588P3 典型应用 .....	14
2.3.4 SM61864G3 典型应用 .....	17
2.3.5 SM61865G3 典型应用 .....	19
2.3.6 SM64863GC 典型应用 .....	22
2.3.7 SM2130 典型应用 .....	24
2.3.8 HT-61843GB-2 典型应用 .....	27
3 软件设计说明 .....	30
3.1 软件设计概述 .....	30
3.1.1 BC 模式软件流程 .....	30
3.1.2 RT 模式软件流程 .....	31
3.1.3 MT 模式软件流程 .....	32
3.2 软件参考代码 .....	32

## 1 前言

本文着重从应用的角度介绍国微公司 1553B 产品，旨在让初学者短时间内了解芯片的使用方法，能快速上手支持。若想深入了解该产品，需仔细研究 1553B 协议和 DDC 完整英文手册。

### 1.1 1553B 总线简介

1553B 总线是美国国防部 60 年代提出的#JY#总线，是一种命令响应式的主从半双工总线。总线有 BC、RT、MT 三种工作模式，早期通信速率固定为 1MHz，后根据应用升级，国内出现了 4M，10M 等通信速率。该总线主要用于飞机、导弹内部的通讯和控制。

### 1.2 1553B 产品介绍

国际上主要 1553B 芯片厂商有 DDC、HOLT 和 UT，各家的硬件实现方式差异较大，主要体现在硬核数量和消息管理。由于历史原因，国内研究所用 DDC 的偏多。国微公司的 1553B 产品主要是仿制 DDC 产品，可实现原位替代。产品信息如下所示：

产品型号	主要功能	支持模式	工作电压	共享容量	封装	尺寸(mm)	兼容型号	可原位替代	区别
SM61580	1553B 协议控制器 (协议+收发器)	BC/RT/MT/RT&MT	5.0 V	4K×16	CDIP70	48.26*25.4	BU-61580S3-110K	是	第一代芯片, 无 RT 地址锁存功能, 无禁止发送功能
SM61581S3		BC/RT/MT/RT&MT	5.0 V	4K×16	CDIP70	48.26*25.4	BU-61581S3-110K	是	第一代芯片, 增加 RT 地址软锁存功能
SM61581S6		BC/RT/MT/RT&MT	5.0 V	4K×16	CDIP70	48.26*25.4	BU-61581S6-110K	是	第一代芯片, 增加 RT 地址软锁存功能, 增加禁止发送功能
SM65170S3		RT	5.0 V	4K×16	CDIP70	48.26*25.4	BU-65170S3-110K	是	第一代芯片, 仅 RT 模式, 无 RT 地址锁存功能, 无禁止发送功能
SM61585S3		BC/RT/MT/RT&MT	5.0 V	12K×16	CDIP70	48.26*25.4	BU-61585S3-110K	是	第一代芯片, 扩大容量, 无 RT 地址锁存功能, 无禁止发送功能
SM61588P3	1553B 协议控制器 (协议+收发器)	BC/RT/MT/RT&MT	5.0 V	4K×16	CPGA81	25.4*25.4	BU-61588P3-100K	是	第一代芯片, 小型化封装
SM61588G3		BC/RT/MT/RT&MT	5.0 V	4K×16	CQFP72	35.0*35.0	BU-61588G3-100K	是	第一代芯片, 贴片小型化封装
SM61745G3	1553B 协议控制器 (协议+收发器)	BC/RT/MT/RT&MT	5.0 V	4K×16	CQFP72	35.0*35.0	BU-61745G3-100K	是	第二代芯片, 扩展功能
SM61845G3		BC/RT/MT/RT&MT	5.0 V	4K×16	CQFP72	35.0*35.0	BU-61845G3-100K	是	第二代芯片, 扩展功能
SM61865G3		BC/RT/MT/RT&MT	5.0 V	64K×17	CQFP72	35.0*35.0	BU-61865G3-100K	是	第二代芯片, 扩展功能, 扩大容量, 增加 RAM 自检功能
SM61864G3		BC/RT/MT/RT&MT	5.0V+3.3V	64K×17	CQFP72	35.0*35.0	BU-61864G3-100K	是	第二代芯片, 扩展功能, 扩大容量, 增加 RAM 自检功能, 3.3V 接口电压
SM64863GC		BC/RT/MT/RT&MT	3.3V	64K×17	CQFP80	28.2*28.2	BU-64863GC	是	第二代芯片, 扩展功能, 扩大容量, 增加 RAM 自检功能, 全片 3.3V 供电
SM2130	1553B (协议+收发器+变压器)	BC/RT/MT/RT&MT	3.3V	32K×16	CBGA121	16.3*16.3	HI-2130GBTF	是	支持 BUS 与 SPI 两种接口访问模式, 支持 RT 地址硬件与软件锁存功能, 内部集成变压器, 全片 3.3V 供电
HT-61843GB-2	1553B 协议控制器 (协议+收发器)	BC/RT/MT	3.3V	8K×16	CPGA68	27.3*27.3	无	否	4M 1553, 功能类似 61580
SM1567	1553B 总线收发器	/	5.0 V	---	CDIP20/ CSOP20	25.4*7.37 14.4*10.35	HI1567CDM	是	5V 供电
SM1573		/	3.3 V	---	CDIP20	25.4*7.37	HI1573	是	3.3V 供电, 亚#YH#级 (S1)
SM1573CDM		/	3.3 V	---	CDIP20	25.4*7.37	HI1573CDM	是	3.3V 供电

## 2 硬件设计说明

### 2.1 硬件接口概述

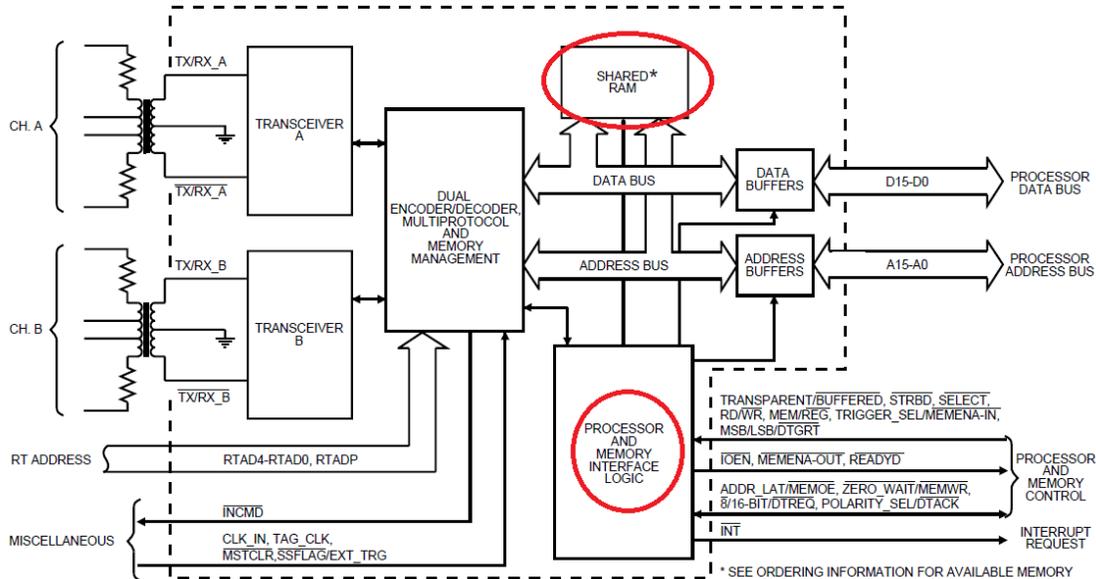


图 2-1 DDC 1553B 芯片框图

如图 2-1 所示，1553 芯片分为两侧，左边是总线侧，右边是逻辑侧。芯片通过内部共享 RAM 实现左右两侧之间的数据交互。需要特别强调的是，芯片内的共享 RAM 是单口 RAM。这就意味着当 1553 逻辑和 CPU 同时访问 RAM 的时候（竞争的时候）只能有一个成功，另一个需要等待。在 buffer 模式下，1553 逻辑访问的优先级比 CPU 高。因此，当竞争的时候，CPU 需要等待。1553 芯片通过接口逻辑模块控制 IOEN 和 READY 信号来实现与 CPU 的握手，保证 CPU 可以随时访问 RAM，并且保证读写正确。

### 2.2 接口模式说明

1553 芯片为了兼容更多的 CPU，接口模式非常丰富。主要分成两大类，一种是 Buffer 模式，一种是 Transparent 模式。Buffer 模式细分为四小类：8 位零等待模式，16 位零等待模式，8 位非零等待模式，16 位非零等待模式。Transparent 模式细分为三小类：单口 RAM 透明模式，双口 RAM 透明模式，DMA 模式。

#### 2.2.1 Transparent 模式和 Buffer 模式

**Buffer 模式：** 只用 1553B 芯片的内部共享 RAM，不用外部扩展 RAM，外部无需添加硬件；

**Transparent 模式:** 外部扩展 RAM，以便增加共享 RAM 空间的大小，需要外部添加 RAM、Buffer 等硬件；实际应用时，既可以访问内部 RAM，也可以访问外部 RAM；

**应用说明:**

- 1、对于 61580 芯片，内部共享 RAM 是 4k，如果客户设计需要更大的 RAM 空间，就需要选择 Transparent 模式，在外部扩展 RAM；
- 2、而对于 61864 芯片，其内部共享 RAM 是 64K，这已经是最大的了，因此无需外部扩展 RAM；用户设计时选择 Buffer 模式即可；

**那么硬件如何设定 Buffer 模式与 Transparent 模式呢？**

芯片引脚 Transparent/\*Buffer=0，则选择 Buffer 模式；

芯片引脚 Transparent/\*Buffer=1，则选择 Transparent 模式；

### 2.2.2 8 位 Buffer 模式与 16 位 Buffer 模式

**8 位模式:** 就是 CPU 用 8 根数据线与 1553 芯片通信，因为 1553 芯片内部 RAM 和 Reg 都是 16 位的位宽，因此用 8 位模式对 1553 芯片进行一次读/写，CPU 就需要分高字节和低字节两次操作；

**16 位模式:** 就是 CPU 用 16 根数据线与 1553 芯片通信，这样对 1553 芯片进行一次读/写，CPU 操作一次即可；

**应用说明:**

- 1、对于 8 位的 CPU，如单片机，如果采用总线方式访问 1553 芯片，只能采用 8 位模式；
- 2、对于 16 位或者 32 位的 CPU，如 ARM、DSP、POWERPC 等，一般采用 16 位模式；

**那么硬件如何设定 8 位模式与 16 位模式呢？**

芯片引脚 16/\*8=0，则选择 8 位模式；

芯片引脚 16/\*8=1，则选择 16 位模式；

### 2.2.3 Zero\_Wait 模式与 Non\_Zero\_Wait 模式

**Zero\_Wait 模式:** 顾名思义，就是 CPU 对 1553 芯片进行读/写操作时，不需要等待 1553 的\*Ready 指示信号；CPU 的每次读/写周期固定不变。

**Non\_Zero\_Wait 模式:** 就是 CPU 对 1553 芯片进行读/写操作时，需要等待 1553 的\*Ready 指示信号，如果 1553 芯片的\*Ready 信号不拉低，CPU 不结束此次读/写操作；这样，CPU 的每次读/写周期不是固定不变的，而是根据 1553 芯片的\*Ready 信号有相应的调整。

#### 应用说明:

- 1、对于早期的 CPU，如 51 单片机，这些 CPU 总线没有类似\*WAIT 的握手信号，因此只能用 Zero\_Wait 模式；
- 2、对于后来的 CPU，如 ARM、DSP、POWER PC 等，总线都有类似\*WAIT 的握手信号，因此建议设计时选择 Non\_Zero\_Wait 模式；
- 3、Zero\_Wait 模式有个弊端，就是 CPU 不知道 1553 什么时候准备好，为了防止 RAM 争抢，CPU 必须把访问周期拉到最长，这样访问的速度就比较慢；
- 4、而对于 Non\_Zero\_Wait 模式，在无 RAM 争抢的情况下，CPU 的访问周期很短；在有 RAM 争抢的情况下，访问周期会自动拉长；这样既保证了访问的速度，也能保证读/写数据的正确性；

#### 那么硬件如何设定 Zero\_Wait 模式与 Non\_Zero\_Wait 模式呢？

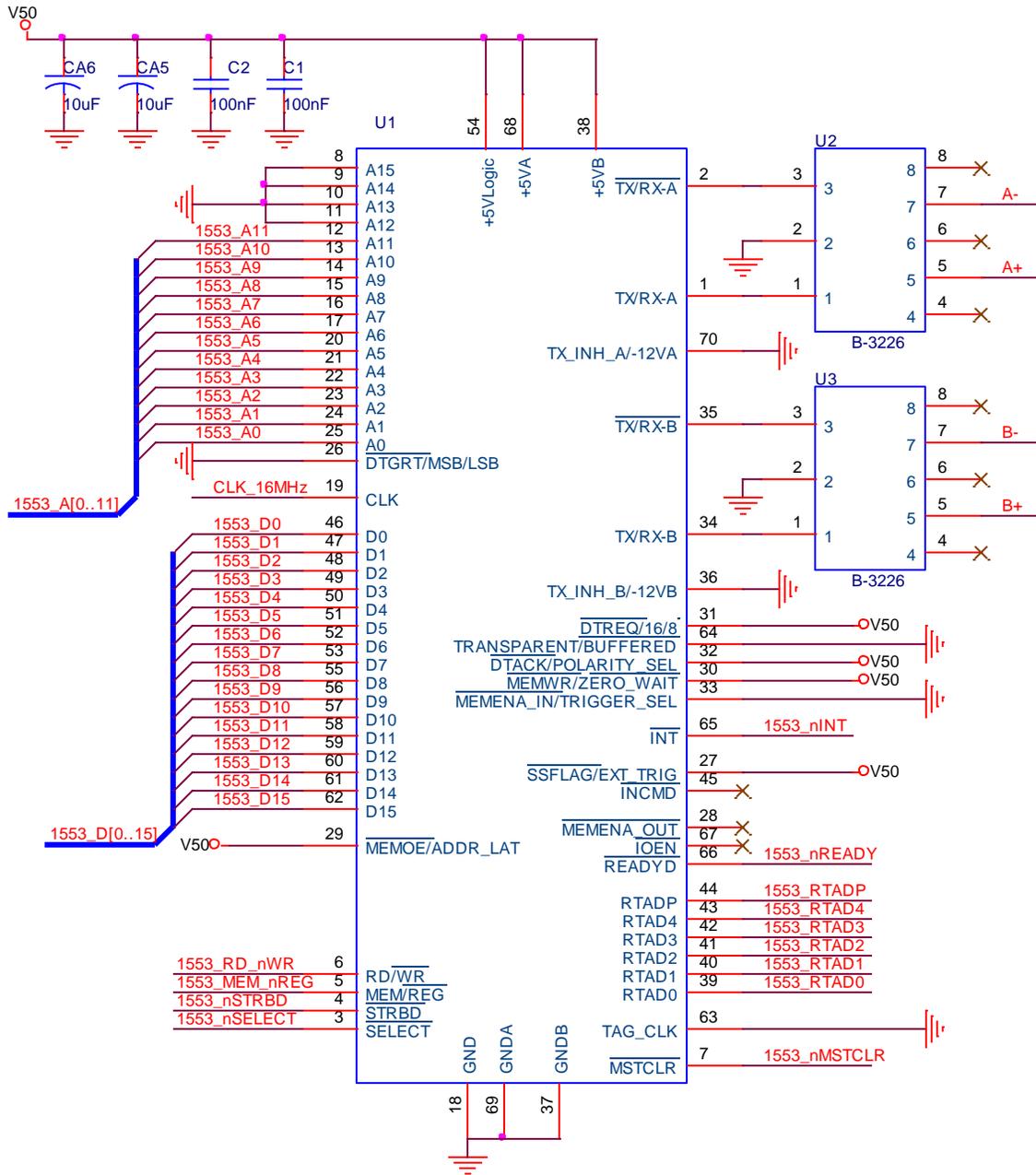
芯片引脚\*Zero\_Wait=0，则选择 Zero\_Wait 模式；

芯片引脚\*Zero\_Wait=1，则选择 Non\_Zero\_Wait 模式。

## 2.3 硬件典型应用

### 2.3.1 SM61580/61581/65170 典型应用

如图 2-2 所示，这是芯片的典型应用电路。CPU 侧，芯片采用 16 位非零等待 Buffer 模式与 CPU 对接。1553 总线侧，芯片采用间接耦合（即变压器耦合）的方式挂接在 1553 总线上。



SM61580/ SM61581S3/ SM61581S6/ SM65170

图 2-2 SM61580/61581S3/61581S6/65170 典型应用原理图

网络标号	功能	连接说明
1553_A[0..11]	地址线	接 CPU 的地址线 A0~A11
1553_D[0..15]	数据线	接 CPU 的数据线 D0~D15
CLK_16MHz	时钟	接外部 16M 有源晶振

		晶振供电电压：5V
1553_RD_nWR	读写信号	接 CPU 的写信号 nWR
1553_MEM_nREG	MEM 或 REG 选择信号	接 CPU 的高位地址线，比如 A12
1553_nSTRBD	数据选通信号	接 CPU 片选信号 nCS
1553_nSELECT	片选信号	接 CPU 读和写与之后结果，即 nWR & nRD
1553_nMSTCLR	复位信号	与 CPU 共接一个复位信号，或者 CPU 用 io 单独控制，低有效，至少 100ns 宽度
1553_nINT	中断信号	接 CPU 外部硬件中断引脚。芯片支持低电平和低脉冲两种输出方式，软件可配。
1553_nREADY	握手信号	接 CPU 总线的 nWAIT 信号，注意极性，低有效 一般接 DSP 要取反
1553_RTADP	RT 地址的奇校验位	外部拉 1 或拉 0 ； 说明：必须保证 RTADP 与 RTAD4~RTAD0 这六位中 1 的个数为奇数；
1553_RTAD0~ 1553_RTAD4	RT 地址	61580：没有 RT 地址锁存功能。只能硬件设定 RT 地址。根据 RT 地址需求，外部引脚固定拉高/拉低 61581S3/S6：只能软件锁存 RT 地址。 情况一：如果 RT 地址不用更改，可以外部固定拉高/拉低。 情况二：如果 RT 地址需要更改，RTADP、RTAD0~RTAD4 分别接数据线 D0~D5；
A+、A-	A 通道总线信号	引到板上 1553 专用插座或者连接器，对外通过线缆连接到耦合器
B+、B-	B 通道总线信号	引到板上 1553 专用插座或者连接器，对外通过线缆接到耦合器

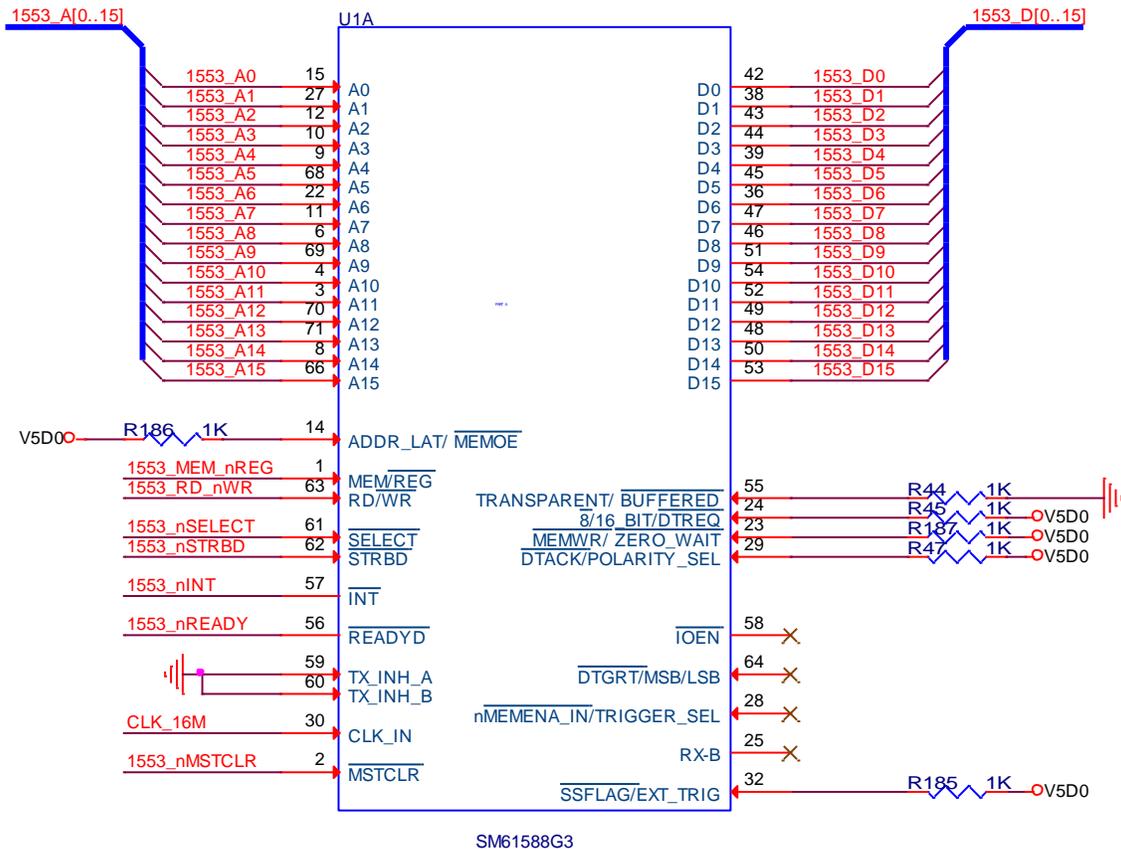
SM61580、61581S3、61581S6、65170 这四颗芯片的引脚和封装完全一样，只是功能上略有区别，如下表所示：

表 1 SM61580/61581S3/61581S6/65170 芯片对比表

芯片型号	RT 地址设定方式	是否可禁止发送器工作	备注
SM61580	只能硬件设定	否	
SM61581S3	只能软件锁存	否	
SM61581S6	只能软件锁存	是	PIN36、PIN70 分别控制 A、B 通道发送器的发送功能。 高电平，禁止发送；低电平，允许发送
SM65170	只能硬件设定	否	只有 RT 模式

### 2.3.2 SM61588G3 典型应用

如图 2-3 所示，这是芯片的典型应用电路。CPU 侧，芯片采用 16 位非零等待 Buffer 模式与 CPU 对接。1553 总线侧，芯片采用间接耦合（即变压器耦合）的方式挂载在 1553 总线上。



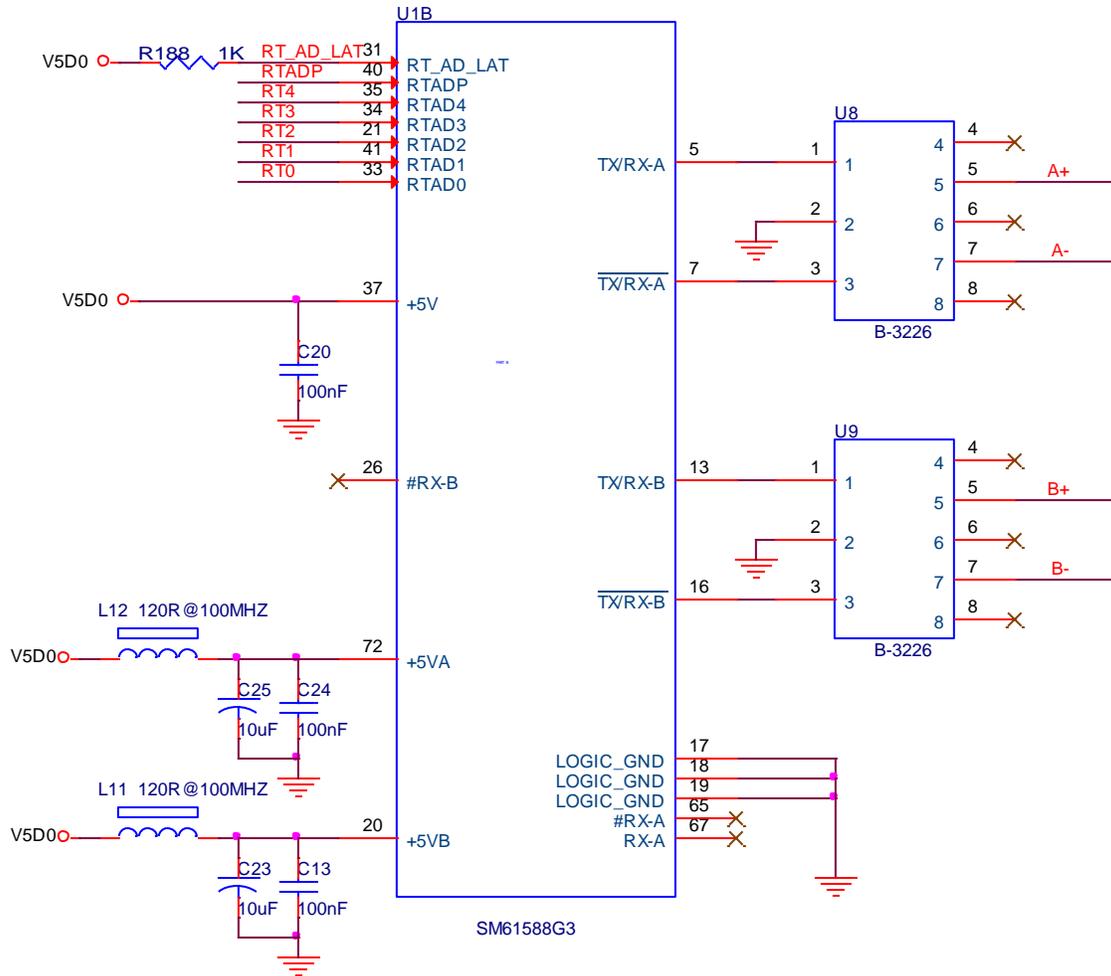


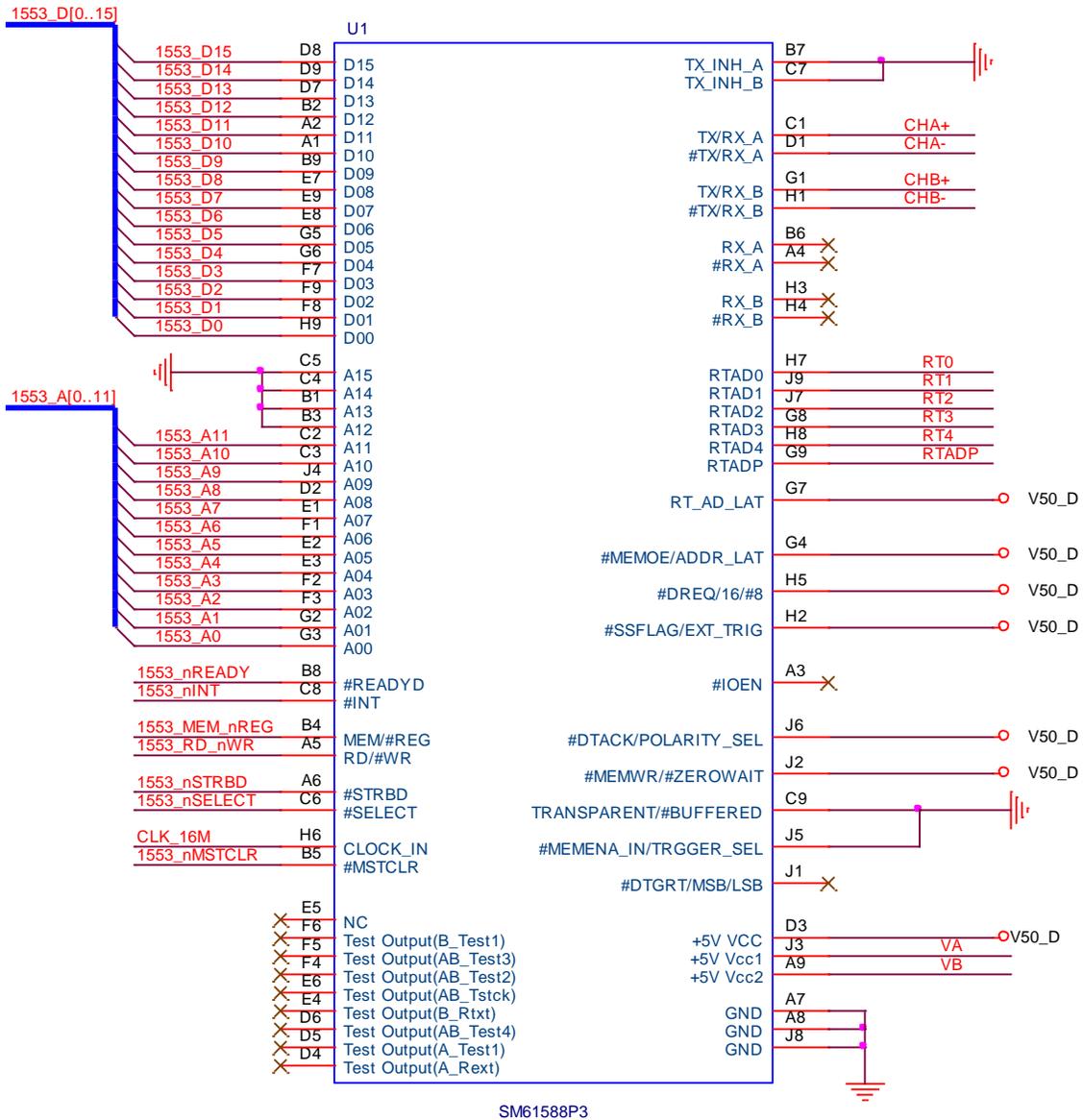
图 2-3 SM61588G3 典型应用原理图

网络标号	功能	连接说明
1553_A[0..15]	16 位地址总线	接 CPU 地址总线
1553_D[0..15]	16 位数据总线	接 CPU 数据总线
1553_MEM_nREG	MEM 或 Reg 选择信号	接 CPU 高位地址线，如 A16
1553_nSELECT	片选信号	接 CPU 读和写与之后结果，即 nWR & nRD
1553_nSTRBD	数据选通信号	接 CPU 片选信号 nCS
1553_RD_nWR	读写信号	接 CPU 的写信号 nWR
1553_nINT	中断信号	接 CPU 外部硬件中断引脚。芯片支持低电平和低脉冲两种输出方式，软件可配。

1553_nREADY	握手信号	接 CPU 总线的 nWAIT 信号，注意极性，低有效。一般接 DSP 要取反
1553_nRESET	硬件复位信号	与 CPU 共接一个复位信号，或者 CPU 用 io 单独控制，低有效，至少 100ns 宽度
CLK_16M	工作时钟	接外部 16M 有源晶振 晶振供电电压：5V
RT_AD_LAT	RT 地址锁存引脚	如果 RT 地址需要软件锁存，则 RT_AD_LAT 必须上拉。 建议上拉。
RTADP	RT 地址的奇校验位	外部拉 1 或拉 0 ； 说明：必须保证 RTADP 与 RT4~RT0 这六位中 1 的个数为奇数；
RT4 ~ RT0	RT 地址	支持软件锁存 RT 地址 情况一：如果 RT 地址不用更改，可以外部固定拉高/拉低。 情况二：如果 RT 地址需要更改，RTADP、RTAD0~RTAD4 分别接数据线 D0~D5；
A+ 、 A-	A 通道总线信号	引到板上 1553 专用插座或者连接器，对外通过线缆连接到耦合器
B+、 B-	B 通道总线信号	引到板上 1553 专用插座或者连接器，对外通过线缆接到耦合器

### 2.3.3 SM61588P3 典型应用

如图 2-4 所示，这是芯片的典型应用电路。CPU 侧，芯片采用 16 位非零等待 Buffer 模式与 CPU 对接。1553 总线侧，芯片采用间接耦合（即变压器耦合）的方式挂载在 1553 总线上。



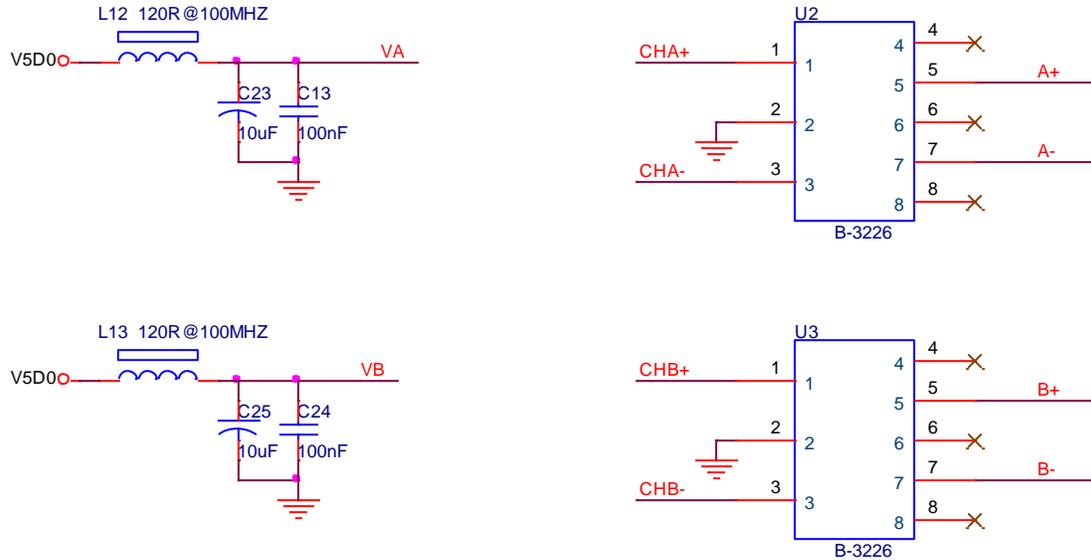


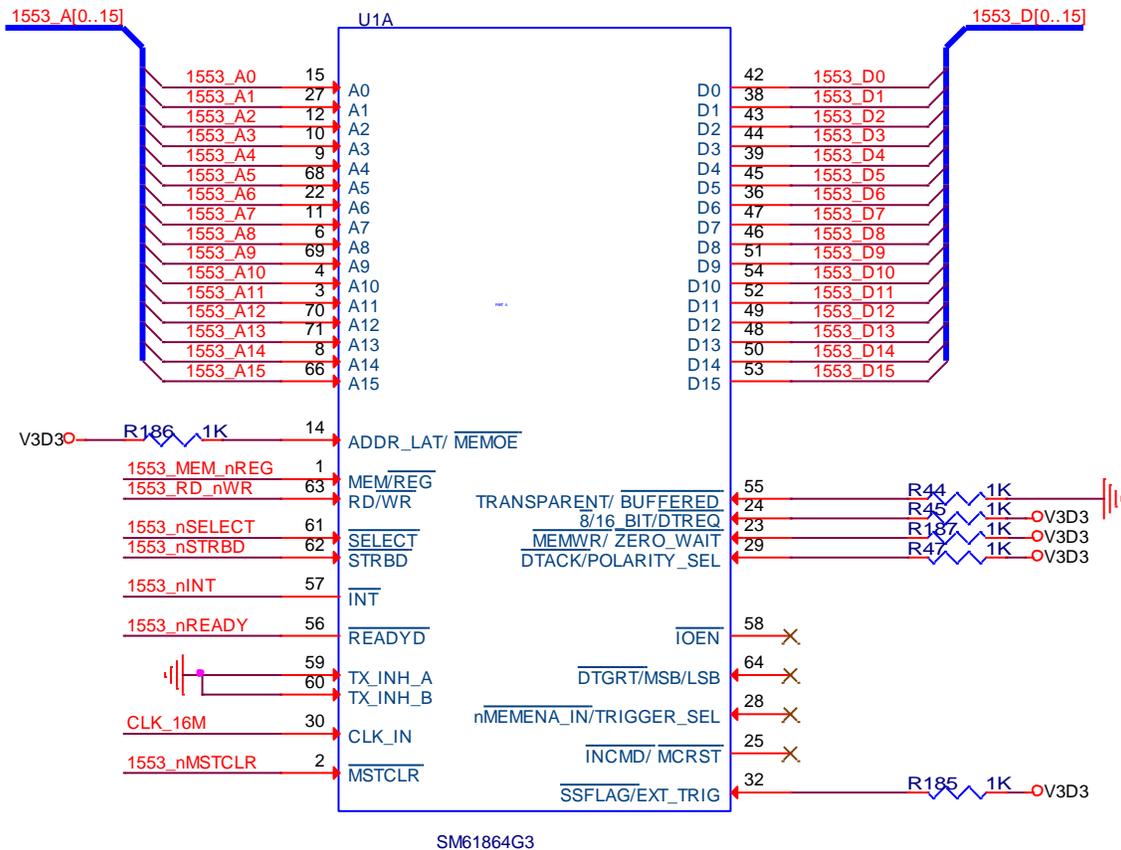
图 2-4 SM61588P3 典型应用原理图

网络标号	功能	连接说明
1553_A[0..11]	12 位地址总线	接 CPU 地址总线
1553_D[0..15]	16 位数据总线	接 CPU 数据总线
1553_MEM_nREG	MEM 或 Reg 选择信号	接 CPU 高位地址线，如 A12
1553_nSELECT	片选信号	接 CPU 读和写与之后结果，即 nWR & nRD
1553_nSTRBD	数据选通信号	接 CPU 片选信号
1553_RD_nWR	读写信号	接 CPU 的写信号 nWR
1553_nINT	中断信号	接 CPU 外部硬件中断引脚。芯片支持低电平和低脉冲两种输出方式，软件可配。
1553_nREADY	握手信号	接 CPU 总线的 nWAIT 信号，注意极性，低有效。一般接 DSP 要取反
1553_nMCLR	硬件复位信号	与 CPU 共接一个复位信号，或者 CPU 用 io 单独控制，低有效，至少 100ns 宽度
CLK_16M	工作时钟	接外部 16M 有源晶振 晶振供电电压：5V
RTADP	RT 地址的奇校验位	外部拉 1 或拉 0 ； 说明：必须保证 RTADP 与 RT4~RT0 这六位中 1 的个数为奇数；
RT4 ~ RT0	RT 地址	支持软件锁存 RT 地址 情况一：如果 RT 地址不用更改，可以外部

		固定拉高/拉低。 情况二:如果 RT 地址需要更改, RTADP、RTAD0~RTAD4 分别接数据线 D0~D5;
A+、A-	A 通道总线信号	引到板上 1553 专用插座或者连接器, 对外通过线缆连接到耦合器
B+、B-	B 通道总线信号	引到板上 1553 专用插座或者连接器, 对外通过线缆连接到耦合器

### 2.3.4 SM61864G3 典型应用

如图 2-5 所示, 这是芯片的典型应用电路。CPU 侧, 芯片采用 16 位非零等待 Buffer 模式与 CPU 对接。1553 总线侧, 芯片采用间接耦合(即变压器耦合)的方式挂载在 1553 总线上。



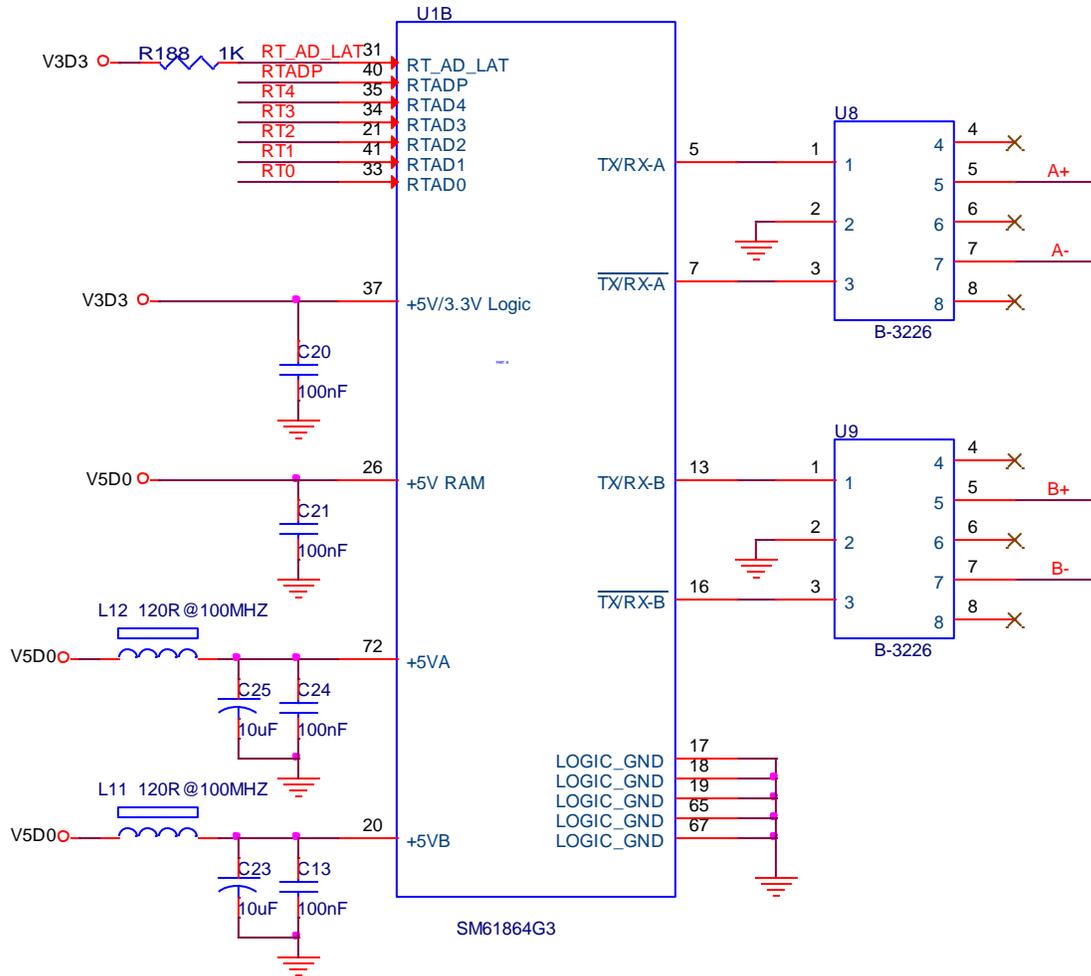


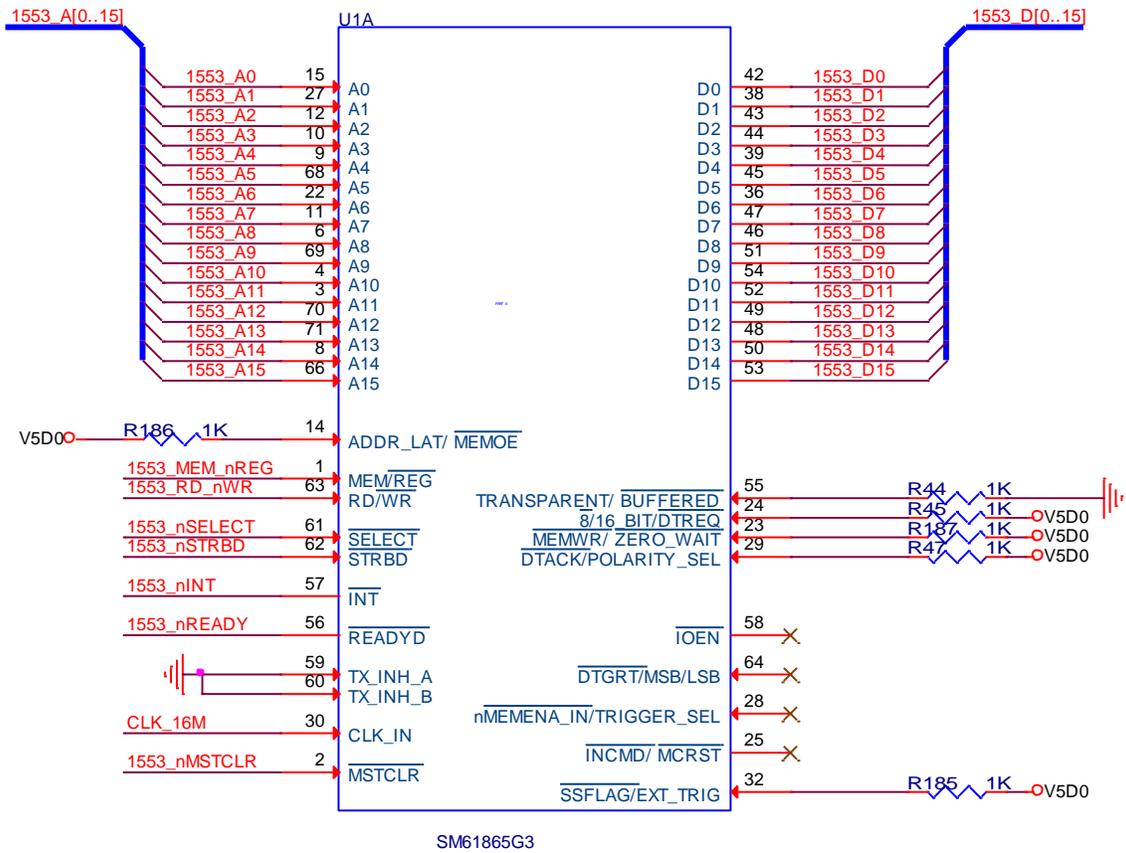
图 2-5 SM61864G3 典型应用原理图

网络标号	功能	连接说明
1553_A[0..15]	16 位地址总线	接 CPU 地址总线
1553_D[0..15]	16 位数据总线	接 CPU 数据总线
1553_MEM_nREG	MEM 或 Reg 选择信号	接 CPU 高位地址线，如 A16
1553_nSELECT	片选信号	接 CPU 读和写与之后结果，即 nWR & nRD
1553_nSTRBD	数据选通信号	接 CPU 片选信号
1553_RD_nWR	读写信号	接 CPU 的写信号 nWR
1553_nINT	中断信号	接 CPU 外部硬件中断引脚。芯片支持低电平和低脉冲两种输出方式，软件可配。
1553_nREADY	握手信号	接 CPU 总线的 nWAIT 信号，注意极性，低有效。一般接 DSP 要取反
1553_nMSTCLR	硬件复位信号	与 CPU 共接一个复位信号，或者 CPU 用

		io 单独控制，低有效，至少 100ns 宽度
CLK_16M	工作时钟	接外部 16M 有源晶振 晶振供电电压：3.3V
RT_AD_LAT	RT 地址锁存引脚	如果 RT 地址需要软件锁存，则 RT_AD_LAT 必须上拉。建议上拉。
RTADP	RT 地址的奇校验位	外部拉 1 或拉 0 ； 说明：必须保证 RTADP 与 RT4~RT0 这六位中 1 的个数为奇数；
RT4 ~ RT0	RT 地址	外部拉 1 或拉 0 ； 用户可以根据实际情况自行设定，可选 RT 地址的范围是 00000~11110 说明：对于 61864，可以用纯软件方式配置 RT 地址。
A+、A-	A 通道总线信号	引到板上 1553 专用插座或者连接器，对外通过线缆连接到耦合器
B+、B-	B 通道总线信号	引到板上 1553 专用插座或者连接器，对外通过线缆接到耦合器

### 2.3.5 SM61865G3 典型应用

如图 2-6 所示，这是芯片的典型应用电路。CPU 侧，芯片采用 16 位非零等待 Buffer 模式与 CPU 对接。1553 总线侧，芯片采用间接耦合（即变压器耦合）的方式挂接在 1553 总线上。



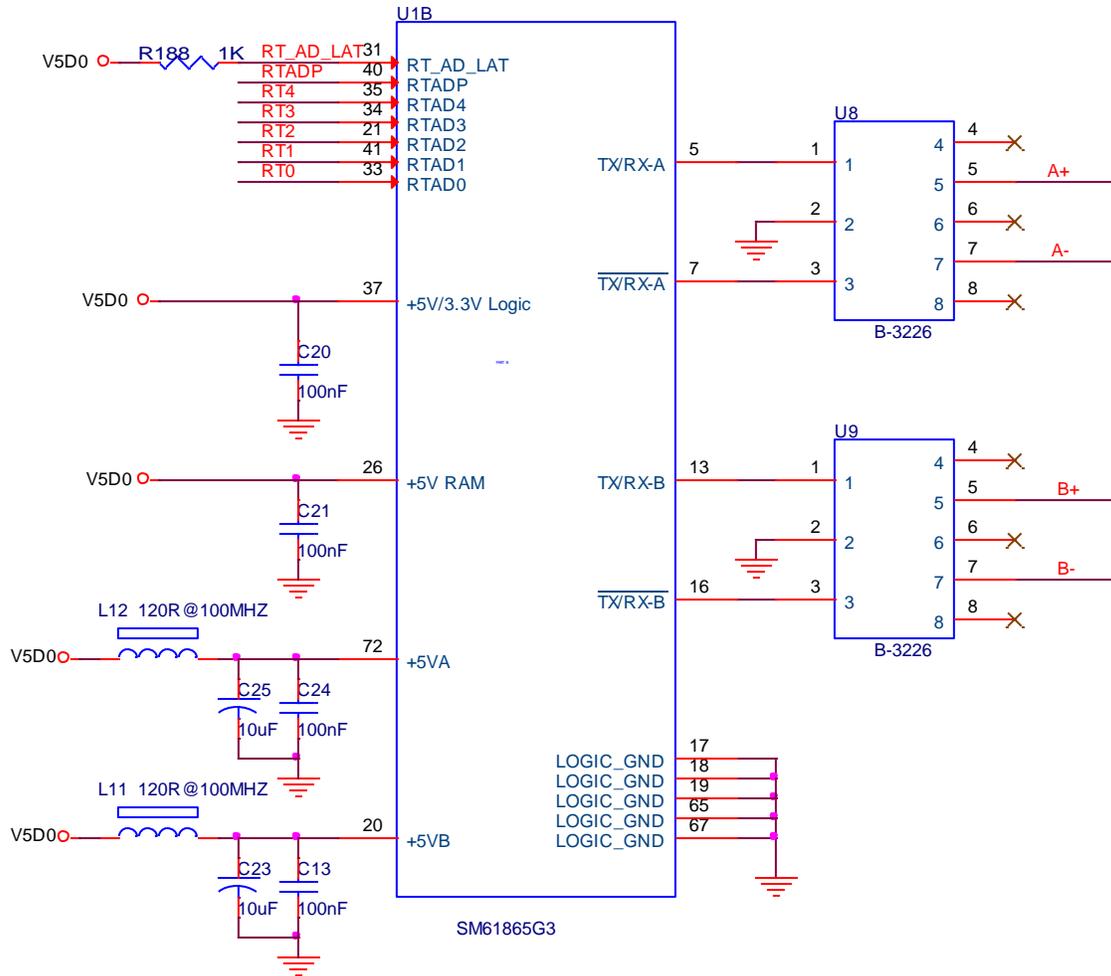


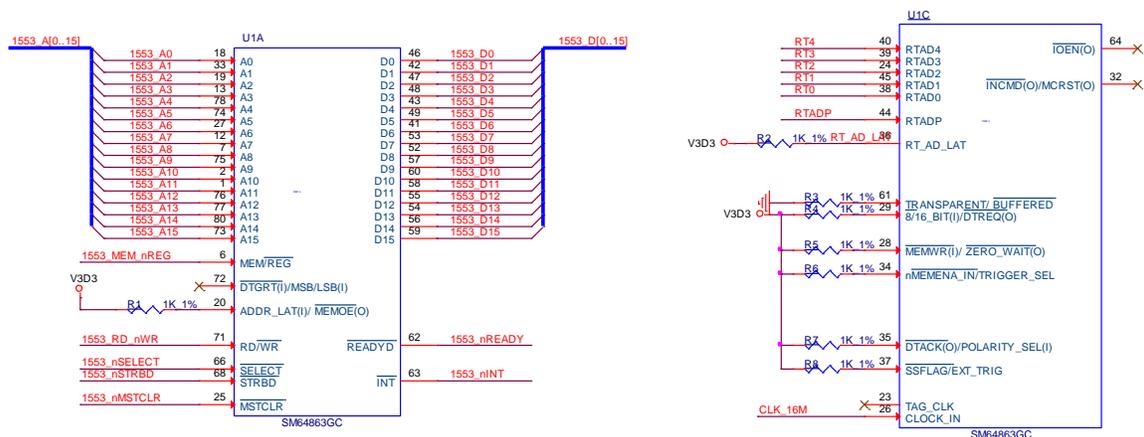
图 2-6 SM61865G3 典型应用原理图

网络标号	功能	连接说明
1553_A[0..15]	16 位地址总线	接 CPU 地址总线
1553_D[0..15]	16 位数据总线	接 CPU 数据总线
1553_MEM_nREG	MEM 或 Reg 选择信号	接 CPU 高位地址线，如 A16
1553_nSELECT	片选信号	接 CPU 读和写与之后结果，即 nWR & nRD
1553_nSTRBD	数据选通信号	接 CPU 片选信号
1553_RD_nWR	读写信号	接 CPU 的写信号 nWR
1553_nINT	中断信号	接 CPU 外部硬件中断引脚。芯片支持低电平和低脉冲两种输出方式，软件可配。
1553_nREADY	握手信号	接 CPU 总线的 nWAIT 信号，注意极性，

		低有效。一般接 DSP 要取反
1553_nMSTCLR	硬件复位信号	与 CPU 共接一个复位信号，或者 CPU 用 io 单独控制，低有效，至少 100ns 宽度
CLK_16M	工作时钟	接外部 16M 有源晶振 晶振供电电压：5V
RT_AD_LAT	RT 地址锁存引脚	如果 RT 地址需要软件锁存，则 RT_AD_LAT 必须上拉。建议上拉。
RTADP	RT 地址的奇校验位	外部拉 1 或拉 0 ； 说明：必须保证 RTADP 与 RT4~RT0 这六位中 1 的个数为奇数；
RT4 ~ RT0	RT 地址	外部拉 1 或拉 0 ； 用户可以根据实际情况自行设定，可选 RT 地址的范围是 00000~11110 说明：对于 61865，可以用纯软件方式配置 RT 地址。
A+ 、 A-	A 通道总线信号	引到板上 1553 专用插座或者连接器，对外通过线缆连接到耦合器
B+、 B-	B 通道总线信号	引到板上 1553 专用插座或者连接器， 对外通过线缆接到耦合器

### 2.3.6 SM64863GC 典型应用

如图 2-7 所示，这是芯片的典型应用电路。CPU 侧，芯片采用 16 位非零等待 Buffer 模式与 CPU 对接。1553 总线侧，芯片采用间接耦合（即变压器耦合）的方式挂载在 1553 总线上。



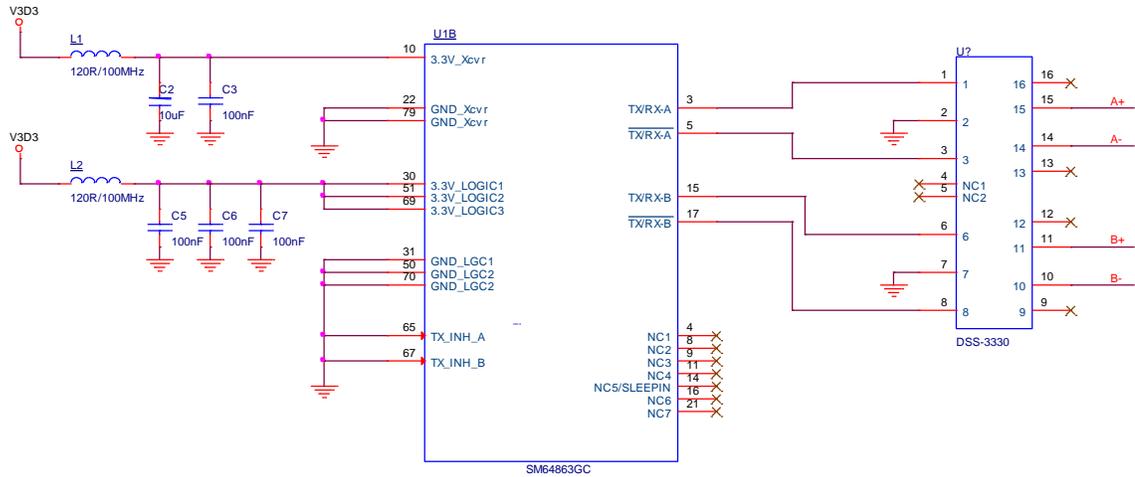


图 2-7 SM64863GC 典型应用原理图

网络标号	功能	连接说明
1553_A[0..15]	16 位地址总线	接 CPU 地址总线
1553_D[0..15]	16 位数据总线	接 CPU 数据总线
1553_MEM_nREG	MEM 或 Reg 选择信号	接 CPU 高位地址线，如 A16
1553_nSELECT	片选信号	接 CPU 读和写与之后结果，即 nWR & nRD
1553_nSTRBD	数据选通信号	接 CPU 片选信号
1553_RD_nWR	读写信号	接 CPU 的写信号 nWR
1553_nINT	中断信号	接 CPU 外部硬件中断引脚。芯片支持低电平和低脉冲两种输出方式，软件可配。
1553_nREADY	握手信号	接 CPU 总线的 nWAIT 信号，注意极性，低有效。一般接 DSP 要取反
1553_nMSTCLR	硬件复位信号	与 CPU 共接一个复位信号，或者 CPU 用 io 单独控制，低有效，至少 100ns 宽度
CLK_16M	工作时钟	接外部 16M 有源晶振 晶振供电电压：3.3V
RT_AD_LAT	RT 地址锁存引脚	如果 RT 地址需要软件锁存，则 RT_AD_LAT 必须上拉。建议上拉。
RTADP	RT 地址的奇校验位	外部拉 1 或拉 0； 说明：必须保证 RTADP 与 RT4~RT0 这六位中 1 的个数为奇数；

RT4 ~ RT0	RT 地址	外部拉 1 或拉 0 ; 用户可以根据实际情况自行设定, 可选 RT 地址的范围是 00000~11110 说明: 对于 64863GC, 可以用纯软件方式配置 RT 地址。
A+ 、 A-	A 通道总线信号	引到板上 1553 专用插座或者连接器, 对外通过线缆连接到耦合器
B+、 B-	B 通道总线信号	引到板上 1553 专用插座或者连接器, 对外通过线缆接到耦合器

### 2.3.7 SM2130 典型应用

如图 2-8、图 2-9 所示: 这是芯片的两种典型应用电路。CPU 侧有两种接口方式: 并行总线方式和 SPI 串行方式。1553 总线侧, 芯片采用间接耦合的方式挂载在 1553 总线上。因芯片内部集成有变压器, 板上无需额外添加。

并行总线方式是传统接法, 优点是接口读写速度快, 直接寻址, 读写过程不会被打断; 缺点是接口线多。

SPI 串行方式, 优点是接口信号少, 连接方便; 缺点是串行访问, 间接寻址, 指令和地址开销较大, 接口速度慢。一次访问分成几拍, 容易被打断, 读写函数需要加锁处理。一来影响 CPU 性能发挥, 二来 1553 总线占用率不高。

因此, 建议优先选择并口总线方式。

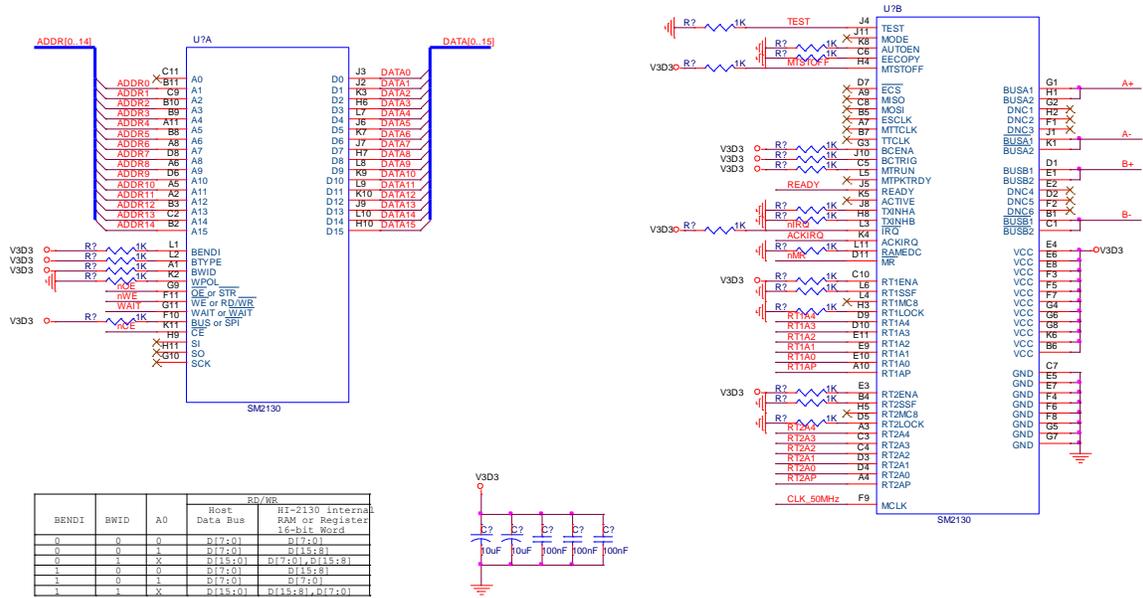


图 2-8 SM2130\_BUS 并行模式的典型应用原理图

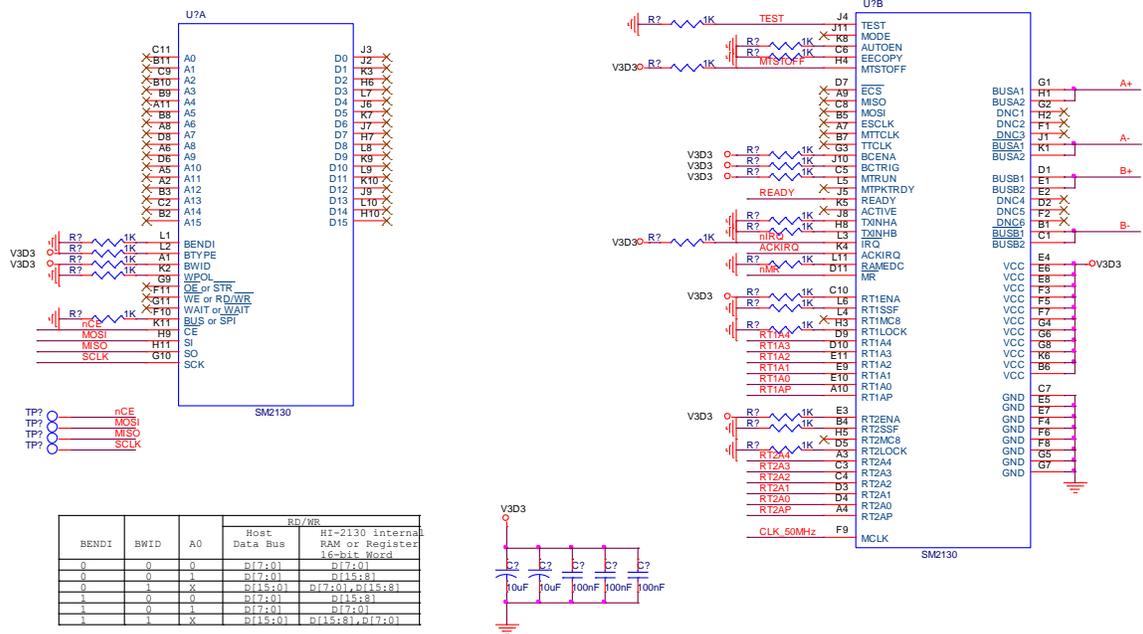


图 2-9 SM2130\_SPI 串行模式的典型应用原理图

网络标号	功能	连接说明
ADDR[0..14]	15 位地址总线	接 CPU 地址总线
DATA[0..15]	16 位数据总线	接 CPU 数据总线
nOE	读信号	接 CPU 的读信号 nRD
nWE	写信号	接 CPU 的写信号 nWE
WAIT	握手信号	接 CPU 的 nWait 信号

nCE	片选信号，SPI 与并口共用	接 CPU 片选信号或 CPU 的 SPI_CS 信号
MOSI	SM2130 SPI 数据输入信号	接 CPU 的 SPI_MOSI 信号
MISO	SM2130 SPI 数据输出信号	接 CPU 的 SPI_MISO 信号
SCLK	SPI 时钟信号	接 CPU 的 SPI_SCLK 信号，建议 20M 以下
CLK_50MHz	工作时钟	接外部 50M 有源晶振 晶振供电电压：3.3V
READY	SM2130 芯片准备好信号	接 CPU 普通 GPIO 引脚
nIRQ	SM2130 中断信号	接 CPU 外部硬件中断引脚。芯片支持低电平和低脉冲两种输出方式，软件可配。
ACKIRQ	SM2130 中断应答信号： 当 IRQ 选择低电平输出时，需要 CPU 通过给 ACKIRQ 输入大于 250ns 高脉冲手动清中断。 当 IRQ 选择低脉冲输出时，ACKIRQ 不用处理。	接 CPU 普通 GPIO 引脚
nMR	SM2130 硬件复位信号	与 CPU 共接一个复位信号，或者 CPU 用 io 单独控制，低有效，至少 200ns 宽度
TEST	SM2130 测试模式使能，高有效	接 CPU 普通 GPIO 引脚
MTSTOFF	SM2130 上电 RAM 自检禁止使能： 当为高时，禁止上电 RAM 自检； 当为低时，允许上电 RAM 自检；	接 CPU 普通 GPIO 引脚
RT1AP	RT 地址的奇校验位	外部拉 1 或拉 0 ； 说明：必须保证 RT1AP 与 RT1A4 ~ RT1A0 这六位中 1 的个数为奇数；
RT1A4 ~ RT1A0	RT1 地址	外部拉 1 或拉 0 ； 用户可以根据实际情况自行设定，可选 RT 地址的范围是 00000~11110 说明：由于 RT1LOCK 接低电平，SM2130 可以用软件修改 RT1 地址。
RT2AP	RT 地址的奇校验位	外部拉 1 或拉 0 ；

		说明：必须保证 RT2AP 与 RT2A4 ~ RT2A0 这六位中 1 的个数为奇数；
RT2A4 ~ RT2A0	RT2 地址	外部拉 1 或拉 0 ； 用户可以根据实际情况自行设定，可选 RT 地址的范围是 00000~11110 说明：由于 RT2LOCK 接低电平，SM2130 可以用软件修改 RT2 地址。
A+ 、 A-	A 通道总线信号	引到板上 1553 专用插座或者连接器，对外通过线缆连接到耦合器
B+、 B-	B 通道总线信号	引到板上 1553 专用插座或者连接器， 对外通过线缆接到耦合器

### 2.3.8 HT-61843GB-2 典型应用

如图 2-10 所示，这是芯片的典型应用电路。CPU 侧，芯片采用 16 位非零等待 Buffer 模式与 CPU 对接。1553 总线侧，芯片采用间接耦合（即变压器耦合）的方式挂载在 1553 总线上。

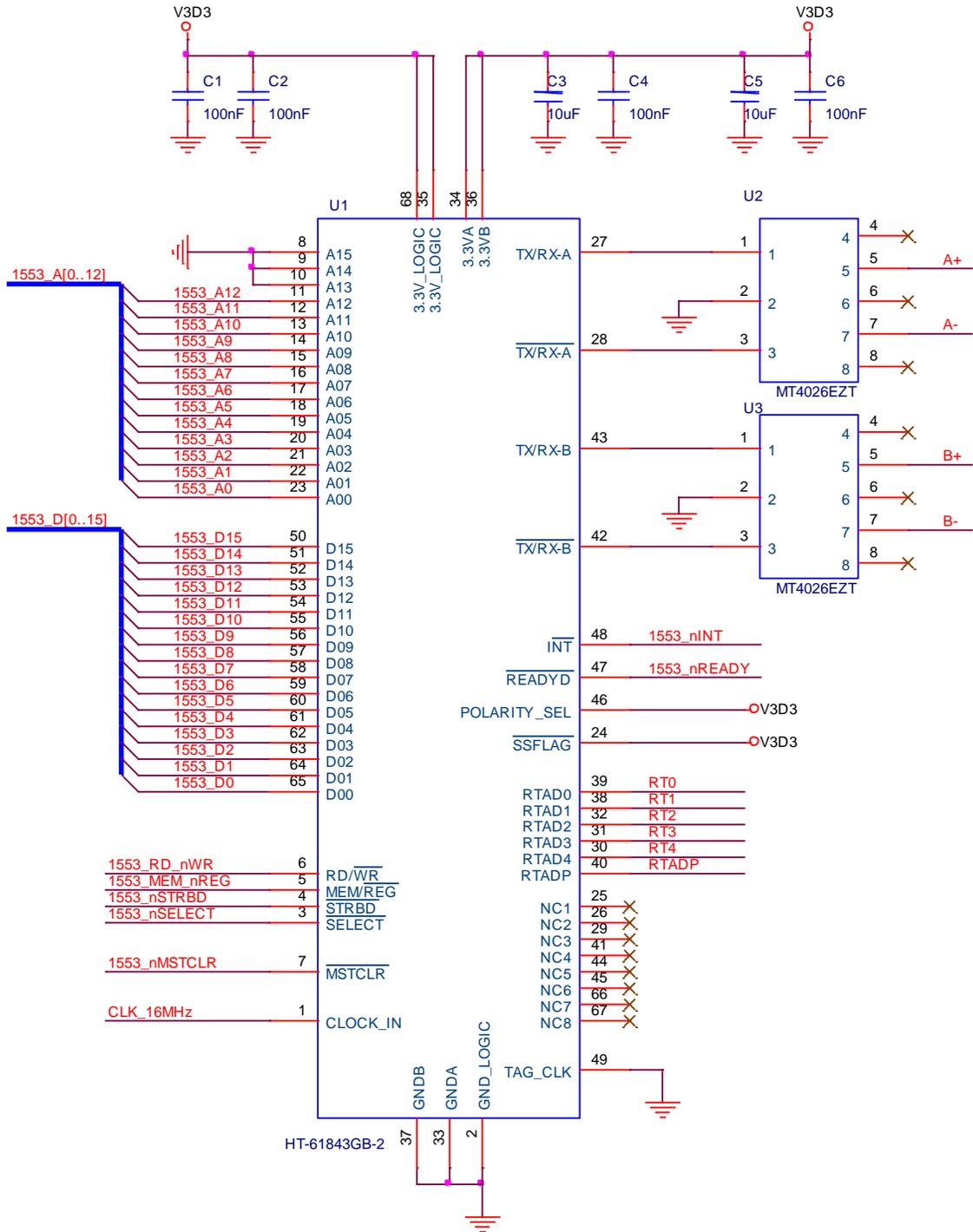


图 2-10 HT-61843GB-2 典型应用原理图

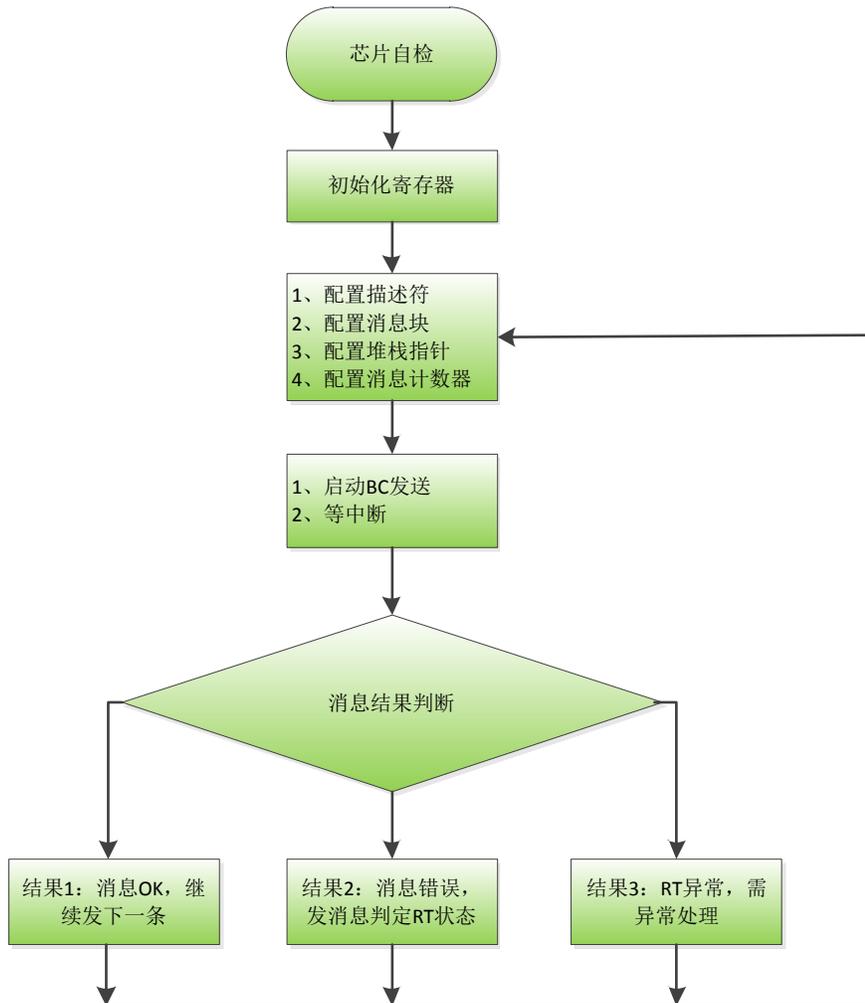
网络标号	功能	连接说明
1553_A[0..12]	地址线	接 CPU 的地址线 A0~A12
1553_D[0..15]	数据线	接 CPU 的数据线 D0~D15
CLK_16MHz	时钟	接外部 16M 有源晶振 晶振供电电压: 3.3V
1553_RD_nWR	读写信号	接 CPU 的写信号 nWR
1553_MEM_nREG	MEM 或 REG 选择信号	接 CPU 高位地址线, 如 A13
1553_nSTRBD	数据选通信号	接 CPU 片选信号 nCS
1553_nSELECT	片选信号	接 CPU 读、写与操作之后的结果, 即 nWR&nRD
1553_nMSTCLR	复位信号	与 CPU 共接一个复位信号, 或者 CPU 用 io 单独控制, 低有效, 至少 100ns 宽度
1553_nINT	中断信号	接 CPU 外部硬件中断引脚
1553_nREADY	握手信号	接 CPU 总线的 nWAIT 信号, 注意极性, 低有效 一般接 DSP 要取反
RTADP	RT 地址的奇校验位	外部拉 1 或拉 0 说明: 必须保证 RTADP 与 RT4~RT0 这六位中 1 的个数为奇数
RT0~RT4	RT 地址和奇校验位	支持软件锁存 RT 地址 情况一: 如果 RT 地址不用更改, 可以外部固定拉高/拉低。 情况二: 如果 RT 地址需要更改, RTADP、RTAD0~RTAD4 分别接数据线 D0~D5。
A+、A-	A 通道总线信号	引到板上 1553 专用插座或者连接器, 对外通过线缆连接到耦合器
B+、B-	B 通道总线信号	引到板上 1553 专用插座或者连接器, 对外通过线缆接到耦合器

### 3 软件设计说明

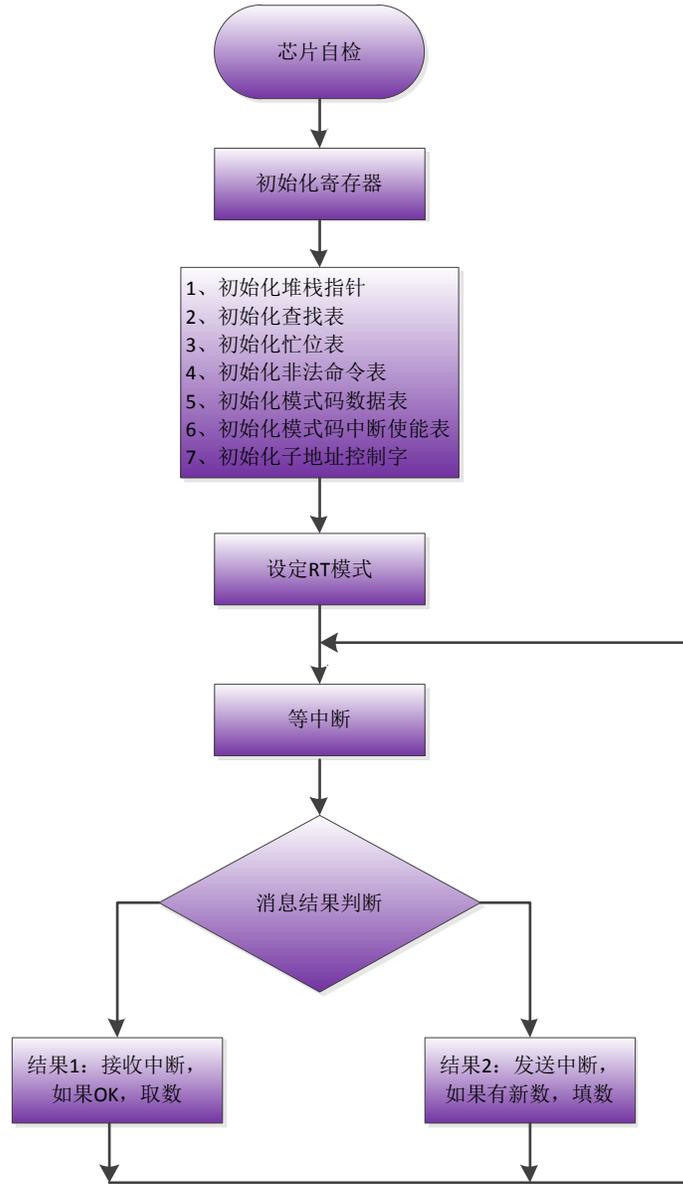
#### 3.1 软件设计概述

1553B 芯片有 BC, RT, MT 三种工作模式，每种模式的软件处理流程略有不同。BC 主要是主动配置消息，发起总线通讯；RT 是初始化后，被动等待响应；而 MT 是初始化后，疯狂记录；软件设计的前提是分清哪些工作是 CPU 要做的，哪些工作是 1553 芯片独立完成的。

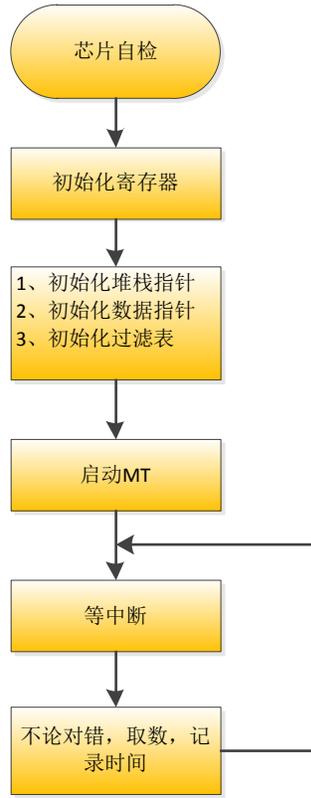
##### 3.1.1 BC 模式软件流程



### 3.1.2 RT 模式软件流程



### 3.1.3 MT 模式软件流程



### 3.2 软件参考代码

详见 1553 驱动程序